

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41478

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/10	4 5 1		H 0 1 L 27/10	4 5 1
27/04			27/04	C
21/822			27/10	6 5 1
27/108			29/78	3 7 1
21/8242				

審査請求 未請求 請求項の数20 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平9-86205

(22) 出願日 平成9年(1997) 4月4日

(31) 優先権主張番号 0 8 / 6 3 6 4 5 7

(32) 優先日 1996年4月23日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーン
ズ・コーポレーションINTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(74) 代理人 弁理士 坂口 博 (外1名)

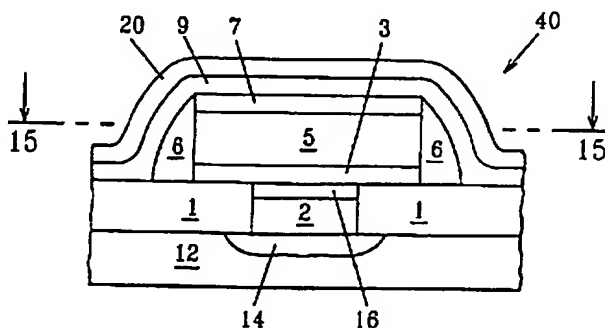
最終頁に続く

(54) 【発明の名称】 電気デバイスおよび複合スタック電極の作製方法

(57) 【要約】

【課題】 頂部電極と底部電極との間に、強誘電体またはコンデンサ誘電体材料を有する記憶素子を提供する。

【解決手段】 本発明は、スタック電極の構造および作製方法である。このスタック電極は、複合的である。その理由は、スタック電極は、2種以上の材料からなり、これら材料が、別個にパターニングされるか、あるいは、各材料が、強誘電体またはコンデンサ誘電体が最初に付着される領域にかなり寄与するように配置されているからである。これらの複合スタック電極は、処理の容易さ、貴金属材料の経済的利用、同一寸法のソリッド単一材料電極に対する機械的安定性の増大をもたらす。



1

【特許請求の範囲】

【請求項 1】基板と、

前記基板内に、第 1 の導電材料で形成された第 1 の導電領域と、

前記基板上に形成された第 1 の誘電体層とを備え、前記第 1 の誘電体層は、前記第 1 の導電領域の或る部分上に第 1 の開口を有し、前記第 1 の開口は、第 2 の導電材料でほぼ充填されて、導電プラグを形成し、

前記導電プラグの直上に電氣的に接触した、全体的または部分的な導電複合スタック電極と、

前記複合スタック電極の露出面上に形成された、ほぼ均一な厚さの第 2 の誘電体材料の層と、

前記誘電体材料の直上に第 3 の導電材料のプレート電極とを備え、前記プレート電極は、前記複合スタック電極とは電氣的に絶縁されている、ことを特徴とする電気デバイス。

【請求項 2】前記複合スタック電極は、1 つ以上のほぼ水平な導電層よりなり、前記導電層は、誘電体材料よりなる追加のほぼ水平な層でキャップされており、前記追加の誘電体層は、前記第 2 の誘電体材料を付着する前に、付着されてパターンニングされ、前記第 2 の誘電体材料の厚さ以上の厚さを有することを特徴とする請求項 1 記載の電気デバイス。

【請求項 3】前記複合スタック電極は、少なくとも 2 層の材料よりなり、これら材料のうち少なくとも一方の材料は、他方の材料付着の前に、付着されてパターンニングされることを特徴とする請求項 1 記載の電気デバイス。

【請求項 4】前記複合スタック電極は、3 つ以上のほぼ水平な層に組み入れられた 2 種類以上の材料よりなることを特徴とする請求項 1 記載の電気デバイス。

【請求項 5】前記複合スタック電極は、パターンニングされた単層または多層のスタックよりなり、前記スタックの側壁は、導電材料で被覆されていることを特徴とする請求項 1 記載の電気デバイス。

【請求項 6】前記複合スタック電極は、導電ベースと、ほぼ垂直な自立形導電側壁とよりなることを特徴とする請求項 1 記載の電気デバイス。

【請求項 7】前記複合スタック電極の 1 種類以上の導電材料は、貴金属 (Au, Pt, Pd, Ir, Rh のような) よりなる群、貴金属および非貴金属との、貴金属の合金よりなる群、Ru および Mo を含む、酸化物が導電性である金属よりなる群、RuO₂, IrO₂, Re₂O₃ を含む導電性酸化物よりなる群、ならびに Ti, Al, TiN, W, WN, TaSiN, およびドーフト・ポリシリコンを含む、酸化物が絶縁性である導電材料よりなる群のいずれかの群から選ばれることを特徴とする請求項 1 記載の電気デバイス。

【請求項 8】前記第 1 の誘電体材料は、誘電体酸化物および誘電体窒化物よりなる群から選ばれることを特徴とする請求項 1 記載の電気デバイス。

2

【請求項 9】前記第 1 の誘電体材料は、SiO₂, PSG (ホスホシリケート・ガラス), BPSG (ボロホスホシリケート・ガラス), 流動性酸化物, スピン・オン・ガラス, Si₃N₄, Al₂O₃, これらの単独または組合せよりなる 1 つ以上の層を含むことを特徴とする請求項 8 記載の電気デバイス。

【請求項 10】前記第 2 の誘電体層は、前記複合スタック電極の露出側壁上にのみ形成されることを特徴とする請求項 1 記載の電気デバイス。

【請求項 11】前記第 2 の誘電体材料は、Ta₂O₅, (Ba, Sr)TiO₃ (BST または BSTO), BaTiO₃, SrTiO₃, PbZr_{1-x}Ti_xO₃ (PZT), PbZrO₃, Pb_{1-x}La_xTiO₃ (PLT), Pb_{1-x}La_x(Zr_yTi_{1-y})_{1-x/4}O₃ (PLZT), および SrBi₂Ta₂O₉ (SBT) を含む、強誘電体、常誘電体、ペロブスカイト、パイロクロール、リラクサ、積層ペロブスカイト、誘電率が 20 以上の材料よりなる群から選ばれることを特徴とする請求項 1 記載の電気デバイス。

【請求項 12】前記導電プラグの前記第 2 の導電材料は、ドーフト・ポリシリコン、タングステン、前記複合スタック電極に用いられる 1 種類以上の導電材料のいずれかより実質的になることを特徴とする請求項 7 記載の電気デバイス。

【請求項 13】前記導電性プラグは、前記第 2 の導電材料よりなる底部層および拡散バリア材料よりなる頂部層のような、2 種類以上の材料よりなることを特徴とする請求項 1 記載の電気デバイス。

【請求項 14】前記導電プラグは、1 種類以上のバリア材料で完全に充填されていることを特徴とする請求項 1 記載の電気デバイス。

【請求項 15】請求項 1 記載の構造を有する DRAM 用、NVRAM または FRAM 用の容量性メモリ素子。

【請求項 16】複合スタック電極構造を作製する方法において、

a) 第 1 の誘電体材料よりなる層 (この層中に導電プラグを有する) を備える基板上に、積層スタックをブランケット付着させる工程を含み、前記積層スタックは、複数の水平層を有し、前記積層スタックの底部層は導電性であり、前記積層スタックの残りの層は、導電性あるいは非導電性となることができ、

b) 前記積層スタックを異方性エッチングして、前記複合スタック電極のほぼ垂直壁のパターンニングされた基盤を形成する工程を含み、前記基盤は、前記導電プラグの直上に電氣的に接触して実質的に存在し、

c) 露出された前記基板およびパターンニングされたスタック電極基盤上に、導電材料の薄いコンフォーマル層をブランケット付着する工程と、

d) 前記導電材料のコンフォーマル層を異方性エッチングして、前記基盤を取り囲む導電側壁スペーサを形成す

3

る工程とを含む、ことを特徴とする複合スタック電極の作製方法。

【請求項 17】複合スタック電極構造を作製する方法において、

a) 第 1 の誘電体材料よりなる層（この層中に導電プラグを有する）を備える基板上に、積層スタックをブランケット付着させる工程を含み、前記積層スタックは、複数の水平層を有し、前記積層スタックの底部層は導電性であり、前記積層スタックの残りの層は、導電性あるいは非導電性であり、

b) 前記積層スタックの底部層以外のすべてをエッチングして、前記複合スタック電極のほぼ垂直壁のパターニングされた基盤を形成する工程を含み、前記基盤は、前記導電プラグの直上に電氣的に接触して実質的に存在し、

c) 前記複合スタック電極の露出した前記底部層を除去するために、ブランケット・スパッタ・エッチングし、同時に、前記スパッタされた材料の再付着から、前記パターニングされたスタック電極基盤の側部を取り囲んで導電側壁スペーサを形成する工程を含む、ことを特徴とする複合スタック電極の作製方法。

【請求項 18】自己整合複合スタック電極構造を作製する方法において、

a) 誘電体内に埋め込まれたバイア・ホールを、プラグ材料とスタック電極基盤の層とによって充填し、前記層の各々は、好ましくは、コンフォーマルに付着されて、残りのバイア・ホールを充填し、化学機械研磨によって研磨除去して、前記バイア・ホールの頂部で充填レベルを作成し、制御可能にエッチバックして、次の層のために前記バイア・ホール内に余地を残す工程と、

b) 前記誘電体をリセスして、前記スタック電極基盤を露出させる工程と、

c) リセスされた前記誘電体およびパターニングされたスタック電極基盤上に、導電材料の薄いコンフォーマル層をブランケット付着する工程と、

d) 前記導電材料のコンフォーマル層を異方性エッチングして、前記基盤を取り囲む導電側壁スペーサを形成する工程と、

e) 露出された充填材料を任意に除去する工程と、を含むことを特徴とする自己整合複合スタック電極の作製方法。

【請求項 19】前記電極構造上に、第 2 の誘電体材料の層をブランケット付着する工程と、

前記第 2 の誘電体材料上に、導電材料の層をブランケット付着して、頂部電極を形成する工程と、をさらに含むことを特徴とする請求項 16～18 のいずれか 1 項に記載の方法。

【請求項 20】前記導電側壁スペーサ上に、第 2 の誘電体材料の層を付着する工程と、

前記第 2 の誘電体材料上に、導電材料の層を付着して、

4

前記スタック電極から絶縁された頂部電極を形成する工程と、をさらに含むことを特徴とする請求項 16～18 のいずれか 1 項に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DRAM および FRAM 用のスタック・コンデンサ、特に、複合電極スタック・コンデンサ、および新規なコンデンサ電極を作製する簡単な方法に関するものである。電極構造は、高誘電率材料と共に用いるのに適した材料（例えば Pt）から作られ、および、複合的である。複合的である理由は、電極構造の要素部分が、別個の工程で付着されるか、あるいは 2 層以上の材料で形成されるからである。

【0002】

【従来の技術】ギガビット・スケールの DRAM に適する小形のコンデンサに、高誘電率の材料を組み入れることは、トポグラフィに関する作製課題、電極材料パターニング、Si コンタクトとの高誘電率材料の反応、最終的な密度/スケールビリティ (scalability) を提起する。同様の課題が、強誘電体 RAM (FRAM) および他の不揮発性 RAM (NVRAM) 用の強誘電体メモリセルの作製に関係している。ノンプレーナ・メモリセル（コンデンサまたは“誘電体メモリセル”と、強誘電体メモリセルとの両方を含むデバイス・カテゴリ）用の電極を作製する多くの方法は、機械化学研磨 (CMP) および反応性イオン・エッチング (RIE) に頼っている。しかし、Pt および他の貴金属のような電極材料をパターニングするこれらの方法は、まだ発展段階にある。すなわち、いくつかの方法は、最終的には、1 つの形態または他の形態で使用できるが、完全に適切な方法が発見される補償はない。

【0003】高誘電率誘電体材料および強誘電体材料が、マイクロエレクトロニック・デバイスに組み入れられるには、適切な電極材料および作製/パターニング方法が、発展しなければならない。貴金属およびそれらの合金は、これらの応用のための電極として、好適である。その理由は、部分的には、誘電体付着の際の酸化に対する耐性のためである。しかし、これらの材料は、パターニングが困難である。

【0004】

【発明が解決しようとする課題】本発明の目的は、厚い電極層の CMP またはパターニングなしに、作製することのできる電極構造を提供することにある。

【0005】本発明の他の目的は、貴金属の表面を有する高さの高いスタック電極と、CMP または厚い貴金属のエッチングを必要としない作製方法とを提供することにある。

【0006】本発明のさらに他の目的は、作製方法が、CMP または充填/エッチバックを必要としない、新規な金属カップ状電極を提供することにある。

5

【0007】

【課題を解決するための手段】本発明は、頂部（プレー）電極と底部（スタック）電極との間に強誘電体材料またはコンデンサ誘電体材料を有する記憶素子を含む半導体メモリデバイスに関する。特に、本発明は、複合スタック電極の構造および作製方法に関する。この複合スタック電極は、次の理由により、複合的であるとされる。すなわち、複合スタック電極は、2種類以上の材料よりなり、これら材料は別個にパターニングされる（少なくとも1つの材料は、他の材料を付着する前に、付着されパターニングされる）か、あるいは、各要素材料が、強誘電体またはコンデンサ誘電体が最初に付着される領域にかなり寄与するように配置されるからである。これらの複合構造を有するスタック電極は、処理の容易さ、貴金属材料のさらなる経済的利用、ソリッド単一材料電極に対する機械的安定性（例えば、ヒロッキングに対する耐性）の可能な増大をもたらす。

【0008】本発明は、複合スタック・コンデンサ電極のいくつかの新しい構造に対する簡単な作製方法を与える。電極構造は、高誘電率材料と共に用いるのに適した材料（例えば、Ptのような）貴金属で作られる。いくつかの実施例は、凹部を有している。これら凹部は、処理後の最終構造で残すことのできる、あるいは残さない1種類以上の材料（充填物“fillings”）で充填される。

【0009】すべての電極構造は、プレーナ誘電体内に埋込まれた底部電極コンタクト・バイアを含む基板上に形成される。前記コンタクト・バイアは、1種類以上の導電材料（これらのいずれも、酸素に対する拡散バリアとして働く）で充填され、導電プラグを形成する。

【0010】種々の充填の程度を有する種々のカップ（または容器）状電極を開示する。電極は、底部および側部に対し同一の導電材料を、または異なる導電材料を含むことができる。側部電極材料は、Pt, Ir, Ru, またはPdとすることができる。充填材料は、導電性または非導電性とすることができる。一実施例は、キャップされ、完全に充填された容器状電極であり、導電電極キャップ材料は、容器を形成する側部および底部電極材料と同一または異なるものとすることができる。前述したように、充填材料は、導電性または非導電性として用いることができる。電極材料よりなる底部電極が省略された他の実施例を開示する。この構造では、充填材料は、スタック電極の頂部および側部が、コンタクト・バイアに電氣的に接続されるようにするためには、導電性でなければならない。

【0011】本発明の基本的な利点は、次のとおりである。すなわち、開示された複合電極構造は、厚い貴金属層（その厚さは、所望の電極高さに近似していなければならない）のパターニングに関連した困難さのない、高いソリッド貴金属電極の機能的等価物を与える。特に、

6

開示した貴金属被覆デバイスを、CMPまたは厚いPt層のエッチングを用いることなくしに作製することができる。電極の充填材料基盤は、容易にパターニングできるが、電極材料に必要とされる付着の付着を必ずしも与えない材料で作ることができる。この構造の2次的な利点は、（1）ソリッド電極ではなく薄膜電極被覆構造を有するので、電極ヒロッキングを軽減させるために、充填材料の使用が可能であること、（2）貴金属を比較的経済的に利用できること（厚膜の付着およびエッチングではなく、貴金属材料の薄膜の付着のみである）、

（3）多層材料電極であること、（4）ソリッド電極に比べて複合電極を通じての酸素拡散の軽減が可能なこと、である。

【0012】従来の“空カップ”容器状電極は、CMPにより、または充填／エッチバック・プロセスで、ドーブト・ポリシリコンにより作られている。しかし、これらのプロセスは、高誘電率誘電体含有コンデンサにおいて望まれる貴金属電極材料について適用できそうにない。開示した電極作製方法は、興味のある多くの電極材料（Pt, Ir, Ru, Pdのような）に対して適用でき、（電極の底部と側部との間の余分なシームの故に）従来のプロセスで作製された構造と区別できる構造をさらに提供する。

【0013】他の実施例では、複合スタック電極は、例えばPt, Pdの貴金属のような導電材料の交互層で形成される。層の数および厚さは、変更することができる。電極層を選んで、機械的安定性を最適にして、熱膨張の不整合およびヒロックによる、構造的ストレスおよび一時的ダメージを最小にする。さらに、導電側壁スペーサが多層スタック電極上に形成されるならば、電極層は、すべて導電性である必要はない。

【0014】本発明の基本的な利点は、ギガビット・スケールのDRAMおよびFRAMに適したスタック電極を作製する、極めて効率のかつ費用対効果の良い方法を提供することである。

【0015】

【発明の実施の形態】本発明は、処理の容易さ、貴金属材料の経済的使用、同一寸法のソリッド単一材料電極に対する増大した機械的安定性を与える、複合スタック電極の構造を提供する。

【0016】図には、本発明の構造および作製方法のいくつかの実施例を示す。図において、同じ参照番号は、同じ要素を示すために用いている。

【0017】複合スタック電極の1つの好適な実施例を、図1(a)に示す。電極10を、基板12上に形成する。この基板は、埋込み導電プラグ2を含む誘電体層1を有している。電極10は、任意の接着層（図示せず）上に付着された、貴金属、例えばPt3およびPd4の交互層よりなる。交互層の数および厚さは、変えることができる。図1(a)では、3つのPt層と2つの

7

Pd層があり、各層は、約1000Åの厚さを有している。この積層構造は、同一寸法のソリッドPt電極に対して増大したヒロッキング(hilllocking)耐性を有している。図1(a)の構造は、層3、4をブランケット膜として付着し、次にスタックをエッチングして、スタック電極構造を画成することによって、作ることができる。図1(a)の実施例は、2種類の貴金属を組み入れているが、図2に示すように、電極構造が貴金属でさらに被覆されるならば、これらの層はすべて貴金属である必要はない。

【0018】図1(b)は、追加の誘電体キャップ層51を有する図1(a)の構造を示す。この追加層(約1000Åの厚さを有することができる)は、特に導電電極層が厚く、その数が数個の場合には、ヒロッキングに対する積層電極の耐性を改善する。しかし、図1(b)の構造は、強誘電体または高誘電率誘電体を付着できるスタック電極領域を減少させるという欠点を有している。

【0019】図2は、電極スタック上に導電側壁被覆を組み入れたいくつかの電極の実施例のうち第1の実施例を示す。電極構造は、図1(a)の電極構造に類似しているが、(i)導電層4の代わりに、導電または非導電層5を用いる、(ii)導電側壁被覆6を付加する、ことによって変更されている。側壁被覆6および層3は、同じ材料(例えば、Pt)とすることができ、層5はSiO₂とすることができ、この構造は、露出されたすべての電極面上にPt(または所望のいかなる材料)を保持しながら、積層構造の機械的安定性を与える。被覆6は、導電材料6の層をコンフォーマルに付着させ(図3に示すように)、それを異方性エッチングして、図2の構造を形成することによって、作製できる。あるいはまた、図2の構造(材料3の導電側壁被覆を有する)を、次のようにして形成することができる。すなわち、図4の構造で始めて、スパッタ材料3の再付着で、スタック電極上に導電側壁被覆を付着させるように、層3の露出部分を異方性エッチングする。

【0020】図5は、電極スタックの導電底部層3と導電頂部層7との間に、単一層15のみが存在する点を除いて、図2の構造に類似の構造を示す。頂部層7は、導電性または絶縁性とすることができるが、絶縁層は、強誘電体または高誘電率誘電体を付着することのできるスタック電極領域を減少させる。図2の構造におけるように、中間層15を、貴金属、非貴金属、他の導電材料、または絶縁体とすることができる。導電層3を、材料6と同じ、または材料6と異ならせることができ、および/または層7が導電性であれば、層7と同じ材料にすることができることに留意すべきである。この実施例は、エッチングの容易な材料で作ることのできる層15の厚さによって、電極の高さがほとんど決定されるという利点を有している。したがって、Pt被覆電極を、ソリッ

8

ドPtで可能なまたは実際的なものよりも十分に高くすることができる。

【0021】図6は、底部層8が、導電性でなければならぬ厚い層であるという点を除いて、図5の構造と類似の構造を示している。層8は、酸素およびプラグ材料の両方に対して拡散バリアとして働く耐酸化材料とするのが好適である。前記実施例のように、図6の構造を、次のようにして作製することができる。すなわち、層8および7をブランケット膜として付着し、スタックをエッチングして、スタック電極基盤(すなわち、パターニング後の層7および8)を画成し、コンフォーマル付着および自己整合異方性エッチングによって材料6よりなる側壁を形成する。図5の実施例に対して、この実施例は、スタック層が少なくなる利点を有するが、層材料8の特性についての要件がさらに制限される欠点を有している。

【0022】図6の構造の自己整合変形例を、図7に示す。図6の構造とは対照的に、図7のスタック電極基盤は、誘電体1内に部分的に埋込まれており、プラグの頂部と同一の横方向寸法を有している。図7のプラグは、その長さを通じて同一の直径を有しているが、プラグの頂部および底部について異なる直径を有する構造(例えば、小さい直径の底部と、やや大きい長円形の頂部)を、形成することもできる。いずれのプラグ形状であっても、導電層8の材料を、導電プラグ2の材料と同じ、あるいは異ならせることができる。図7の構造(層7および8は、導電プラグ2と同じ材料からなる実施例に対する)は、次のようにして作製することができる。すなわち、層2、7、8の総合厚さに等しい厚さを有する誘電体1の層内にパイアホールをエッチングし、このパイアホールを導電プラグ材料で充填し、誘電体1をリセスして、スタック電極基盤となるプラグの部分(層7および8の一部分に相当する)を露出させ、コンフォーマル付着および自己整合異方性エッチングによって、材料6の側壁を形成する。図6の実施例に対し、この実施例は、スタック電極がよりコンパクトであり、スタック電極がプラグに対して自己整合するという利点を有している。

【0023】図8～図10の複合電極の実施例は、カップ状である。これらの実施例のすべては、水平導電ベース層3と、ほぼ垂直な自立形導電側部6とを有している。寸法は、カップ構造が充填されるか、あるいは空であるかの程度で異なる。図8は空のカップ状電極を示し、図9は材料5が部分的に充填されたカップ状電極を示し、図10は材料5で完全に充填されたカップ状電極を示している。

【0024】図11は、図8の空のカップ状電極であって、コンデンサ誘電体9と頂部(プレート)電極20とを含むコンデンサ30内に設けられたものを示す。コンタクト領域14が、また、基板12内に設けられてい

9

る。バリア層16を、任意に設けることもできる。図1～図10に示されるスタック電極の各実施例は、適切な追加の層を設けることによって、コンデンサまたは他のメモリセル電極デバイスの形成に用いて、コンデンサについて図11に示されるようなデバイスを完成させることができる。図11のコンデンサは、図5および図6の電極の実施例と共に形成されたコンデンサに対して、面積の利点を有することがわかる。というのは、図11において、コンデンサ誘電体が、カップ状電極の内面および外面上に被覆されるからである。

【0025】図8～図10の複合カップ状電極は、図12～図15に示される工程によって作製できる。まず、水平導電ベース材料3と、導電または非導電充填材料5とよりなるブランケット層を、誘電体1と導電プラグ2とよりなる基板12上に付着する。充填材料5を、反応性イオン・エッチングによってパターニングするのは容易である。次に、層3、5をエッチングして、図13の構造を形成する。導電側壁材料6のブランケット層を、コンフォーマルに付着し（図14）、異方性エッチングして、側壁スペーサを形成する（図15）。次に、充填材料をそのままにして、図10の充填カップ状電極を形成するか、あるいは充填材料を所望にエッチングして、図9の一部充填カップ状電極、あるいは図8の空カップ状電極を形成する。

【0026】あるいはまた、導電側部6を、図16の構造を組み入れるプロセス・シーケンスによって、形成することもできる。最初に、材料3のブランケット膜を残して、材料5のみをパターニングする（図16）。次に、ブランケット・スパッタ・エッチングによって、層3の露出部（および材料5の薄層）を除去する。次に、図15の6に類似の導電側部を、材料3のスパッタ再付着により形成する（図17）。

【0027】1種類の導電材料で形成された単一片の電極に対して、本発明の複合カップ電極は、2以上の工程で付着されたベース3と側壁スペーサ6とを有している。しかし、ベース3と側壁スペーサ6は、同一材料から形成する必要はない（例えば、拡散バリア材料は、ベース3に用いることができ、Ptのような貴金属は、導電側壁スペーサ6に用いることができる）。さらに、本発明の複合電極構造は、作製が容易である。というのは、電極材料が、単一層カップ状電極を形成するときの犠牲モールドのより制限された内面上よりもむしろ、電極基盤の外面上にコンフォーマルに付着されるからである（例えば、図5において、電極材料6は、パターニングされた層3、15、7上に付着される）。

【0028】本発明の複合電極を用いて、デバイス40（図18）のような電気デバイスを作製する。デバイス40は、絶縁または半導体基板12と、この基板内に第1の導電材料で形成された第1の導電領域14と、前記基板上に形成された第1の誘電体層1とを備え、第1の

10

誘電体層は、前記第1の導電領域のある部分上に、第1の開口またはコンタクト・パイアを有している。第1の開口は、第2の導電材料でほぼ充填され、導電プラグ2を形成する。全体的または部分的な導電構造（一部は底部またはスタック電極）は、導電プラグ2の頂部上に直接に電氣的に接触している。ほぼ一様な厚さのコンデンサ誘電体材料9の層を、スタック電極の露出面上に形成する。第3の導電材料のブランケット堆積頂部すなわち

“プレート”電極20は、スタック電極から電氣的に絶縁されているが、同じ基板上に形成された他のデバイスのプレート電極に電氣的に接続されている。スタック（底部）電極構造は、異なる材料または別個の工程で付着された材料よりなる複合構造である。複合電極の例は、1）3つ以上のほぼ水平な層に組み入れられた2種類以上の材料、2）パターニングされた単一または多層スタック、このスタックの側壁は導電材料で被覆されている、3）導電ベースおよびほぼ垂直な自立形導電側壁、ベースおよび側壁はカップ形状で構成されている、を含んでいる。図18の実施例では、電極10は、底部導電層3および非導電層5と、頂部導電層7および側壁層6とからなる。

【0029】複合スタック電極の水平上面上の第2の誘電体材料の部分は、誘電体でキャップされたスタック電極構造（例えば、図1（b）の電極構造）において、プレート電極およびスタック電極を短絡させることなく、省略することができることに留意すべきである。

【0030】本発明のスタック・コンデンサの下側の層内の導電層14は、半導体または絶縁基板12内の半導体デバイス内の導電要素により形成される。第1の誘電体材料1は、誘電体酸化物、窒化物などよりなる群から選ばれ、特に、 SiO_2 、PSG（ホスホシリケート・ガラス）、BPSG（ボロホスホシリケート・ガラス）、流動可能な（flowable）酸化物、スピノ・オン・ガラス、または他の普通の誘電体、あるいはこれらの組合せである。導電プラグの第2の導電材料は、実質的に、ドーパント・ポリシリコン、タングステン、または適切な導電材料よりなる。拡散バリア16は、プラグと底部電極構造40との間に設けることができる。

【0031】拡散バリア16は、酸素拡散に対するバリアとして、およびプラグ材料拡散に対するバリアとして作用できる材料から作られる。可能な拡散バリア材料の例は、 TiN 、 $\text{Ta}_{1-x}\text{Si}_x\text{N}_y$ （ $0 < x < 1$ 、 $y > 1$ ）、および類似の材料を含んでいる。拡散バリア材料は、耐エッチング性となることができし、あるいは耐エッチング性でなくともよい。その他の任意の選択として、導電プラグを、1種類以上のバリア材料で完全に充填する。

【0032】本発明の複合スタック電極においては、層3、6、8の導電電極材料は、貴金属（Au、Pt、Pd、Ir、Rhのような）、貴金属または非貴金属との

10

20

30

40

50

11

貴金属の合金、酸化物が導電性である金属 (Ru および Mo のような)、導電性酸化物 (RuO_2 , IrO_2 , Re_2O_3 など)、導電性耐酸化窒化物 (TaN , $TaSiN$ のような) および窒化物 ($TaSi_2$ のような)、酸化物が絶縁性である導電性材料 (Ti , Al , TiN , W , WN , ドープト・ポリシリコンなど) よりなる群から選ばれる。

【0033】第2の誘電体材料は、強誘電体、常誘電体、ペロブスカイト、パイロクロール、リラクサ (relaxor)、積層ペロブスカイト、誘電率が20以上10の材料よりなる群から選ばれる。このような材料の例は、 Ta_2O_5 , $(Ba, Sr)TiO_3$ (BST または BSTO), $BaTiO_3$, $SrTiO_3$, $PbZr_{1-x}Ti_xO_3$ (PZT), $PbZrO_3$, $Pb_{1-x}La_xTiO_3$ (PLT), $Pb_{1-x}La_x(Zr_yTi_{1-y})_{1-x/4}O_3$ (PLZT), および $SrBi_2Ta_2O_9$ (SBT) である。

【0034】前述したいずれかの断面構造を有するコンデンサを形成することができる。図18の15-15線に沿った、スタック電極の平面断面の輪郭は、例えば図19、20に示すように、充填された円形、長円形、正方形、長方形、十字形などの形状を有することができる。

【0035】本発明の複合スタック電極を用いて、DRAM用の容量性メモリ素子、またはNVRAMまたはFRAM用の強誘電体メモリ素子のようなメモリ・デバイスを形成することができる。

【0036】本発明の自己整合スタック電極構造を作製する方法は、層（この層から、導電側壁スペーサが形成される）を、他の複合スタック電極の後に、付着する工程を含んでいる。この方法は、

- 誘電体内に埋め込まれたバイア・ホールを、プラグ材料とスタック電極基盤の層とによって充填する工程を含み、前記層の各々は、好ましくは、コンフォーマルに付着されて、残りのバイア・ホールを充填し、化学機械研磨によって研磨除去されて、前記バイア・ホールの頂部で充填レベルを作成し、制御可能にエッチバックされて、次の層のために前記バイア・ホール内に余地を残し、
- 前記誘電体をリセスして、前記スタック電極基盤を露出させる工程と、
- リセスされた前記誘電体およびパターニングされたスタック電極基盤上に、導電材料の薄いコンフォーマル層をブランケット付着する工程と、
- 前記導電材料のコンフォーマル層を異方性エッチングして、前記基盤を取り囲む導電側壁スペーサを形成する工程と、
- 露出された充填材料を任意に除去する工程と、を含んでいる。

【0037】また、本発明の非自己整合複合スタック電

12

極構造を作製する方法は、層（この層から導電側壁スペーサが形成される）を、他の複合スタック電極層の後に付着する工程を含んでいる。この方法は、以下の重要な工程、すなわち、

- 複合スタック電極の水平層を有する積層スタックをブランケット付着する工程を含み、積層スタックの底部層は、導電性でなければならないが、積層スタックの残りの層は、導電性または非導電性とすることができ、
- 積層スタックを異方性エッチング（例えば、反応性イオン・エッチングまたはスパッタ・エッチング）して、複合スタック電極のほぼ垂直壁の“基盤”を形成する工程を含み、この基盤は、導電プラグの直上に電氣的に接触して実質的に存在し、
- 露出された基板およびパターニングされたスタック電極基盤上に、導電材料の薄いコンフォーマル層をブランケット付着する工程と、
- 導電材料のコンフォーマル層を異方性エッチングして、導電側壁スペーサを形成する工程と、
- 露出された充填材料を、任意に除去する工程と、を含んでいる。

【0038】他の方法では、複合スタック電極構造は、層（この層から導電側壁スペーサが形成される）を、他の複合スタック電極層の前に付着する工程により作製される。この方法は、以下の重要な工程、すなわち、

- 複合スタック電極の水平層を有する積層スタックをブランケット付着する工程を含み、積層スタックの底部層は、導電性でなければならないが、積層スタックの残りの層は、導電性または非導電性とすることができ、スタックの頂部層は、電極層スタックの底部層をパターニングするのに連続的に用いられるスパッタ・エッチング状態に耐えるか、あるいは、所望の最終頂部層厚さよりもわずかに厚く（底部層のパターニングの際に生じ得る頂部層エッチングを補償するために）、
- 前記積層スタックの底部層以外のすべてをエッチングして、前記複合スタック電極のほぼ垂直壁の“基盤”のバルクを形成する工程を含み、前記基盤は、前記導電プラグの直上に電氣的に接触して実質的に存在し、
- 前記複合スタック電極の露出された前記底部層を除去するために、ブランケット・スパッタ・エッチングし、同時に、前記スパッタされた材料の再付着から、前記パターニングされたスタック電極基盤の側部に導電側壁スペーサを形成する工程と、
- 露出された充填材料を、任意に除去する工程と、を含んでいる。

【0039】本発明を、その好適な実施例に基づいて示し説明したが、当業者であれば、本発明の趣旨と範囲を逸脱することなく、変形、変更が可能なことがわかる。

【0040】まとめとして、本発明の構成に関して以下の事項を開示する。

- (1) 基板と、前記基板内に、第1の導電材料で形成さ

13

れた第1の導電領域と、前記基板上に形成された第1の誘電体層とを備え、前記第1の誘電体層は、前記第1の導電領域の或る部分上に第1の開口を有し、前記第1の開口は、第2の導電材料でほぼ充填されて導電プラグを形成し、前記導電プラグの直上に電氣的に接触した、全体的または部分的な導電複合スタック電極と、前記複合スタック電極の露出面上に形成された、ほぼ均一な厚さの第2の誘電体材料の層と、前記誘電体材料の直上に第3の導電材料のプレート電極とを備え、前記プレート電極は、前記複合スタック電極とは電氣的に絶縁されて

いる、ことを特徴とする電気デバイス。
(2) 前記複合スタック電極は、1つ以上のほぼ水平な導電層よりなり、前記導電層は、誘電体材料よりなる追加のほぼ水平な層でキャップされており、前記追加の誘電体層は、前記第2の誘電体材料を付着する前に、付着されてパターンニングされ、前記第2の誘電体材料の厚さ以上の厚さを有することを特徴とする上記(1)に記載の電気デバイス。

(3) 前記複合スタック電極は、少なくとも2層の材料よりなり、これら材料のうち少なくとも一方の材料は、他方の材料付着の前に、付着されてパターンニングされることを特徴とする上記(1)に記載の電気デバイス。

(4) 前記複合スタック電極は、3つ以上のほぼ水平な層に組み入れられた2種類以上の材料よりなることを特徴とする上記(1)に記載の電気デバイス。

(5) 前記複合スタック電極は、パターンニングされた単層または多層のスタックよりなり、前記スタックの側壁は、導電材料で被覆されていることを特徴とする上記

(1)に記載の電気デバイス。

(6) 前記複合スタック電極は、導電ベースと、ほぼ垂直な自立形導電側壁とよりなることを特徴とする上記

(1)に記載の電気デバイス。

(7) 前記複合スタック電極の1種類以上の導電材料は、貴金属(Au, Pt, Pd, Ir, Rhのような)よりなる群から選ばれることを特徴とする上記(1)に記載の電気デバイス。

(8) 前記複合スタック電極の1種類以上の導電材料は、貴金属および非貴金属との、貴金属の合金よりなる群から選ばれることを特徴とする上記(1)に記載の電気デバイス。

(9) 前記複合スタック電極の1種類以上の導電材料は、RuおよびMoを含む、酸化物が導電性である金属よりなる群から選ばれることを特徴とする上記(1)に記載の電気デバイス。

(10) 前記複合スタック電極の1種類以上の導電材料は、 RuO_2 、 IrO_2 、 Re_2O_3 を含む導電性酸化物よりなる群から選ばれることを特徴とする上記(1)に記載の電気デバイス。

(11) 前記複合スタック電極の1種類以上の導電材料は、Ti, Al, TiN, W, WN, TaSiN, およ

14

びドーブト・ポリシリコンを含む、酸化物が絶縁性である導電材料よりなる群から選ばれることを特徴とする上記(1)に記載の電気デバイス。

(12) 前記第1の誘電体材料は、誘電体窒化物よりなる群から選ばれることを特徴とする上記(1)に記載の電気デバイス。

(13) 前記第1の誘電体材料は、 SiO_2 、PSG(ホスホシリケート・ガラス)、BPSG(ボロホスホシリケート・ガラス)、流動性酸化物、スピリン・オン・ガラス、 SiN_x 、 Al_2O_3 、これらの単独または組合せよりなる1つ以上の層を含むことを特徴とする上記(12)に記載の電気デバイス。

(14) 前記第2の誘電体層は、前記複合スタック電極の露出側壁上にのみ形成されることを特徴とする上記(1)に記載の電気デバイス。

(15) 前記第2の誘電体材料は、 Ta_2O_5 、(Ba, Sr) TiO_3 (BSTまたはBSTO)、Ba TiO_3 、Sr TiO_3 、 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ (PZT)、 PbZrO_3 、 $\text{Pb}_{1-x}\text{La}_x\text{TiO}_3$ (PLT)、 $\text{Pb}_{1-x}\text{La}_x(\text{Zr}_y\text{Ti}_{1-y})_{1-x/4}\text{O}_3$ (PLZT)、およびSrBi₂Ta₂O₉ (SBT)を含む、強誘電体、常誘電体、ペロブスカイト、パイロクロール、リラクサ、積層ペロブスカイト、誘電率が20以上の材料よりなる群から選ばれることを特徴とする上記(1)に記載の電気デバイス。

(16) 前記導電プラグの前記第2の導電材料は、ドーブト・ポリシリコン、タングステン、前記複合スタック電極に用いられる1種類以上の導電材料のいずれかより実質的になることを特徴とする上記(7)に記載の電気デバイス。

(17) 前記導電性プラグは、前記第2の導電材料よりなる底部層および拡散バリア材料よりなる頂部層のような、2種類以上の材料よりなることを特徴とする上記(1)に記載の電気デバイス。

(18) 前記拡散バリア材料は、酸素拡散に対するバリア、およびプラグ材料拡散に対するバリアの両方であることを特徴とする上記(17)に記載の電気デバイス。

(19) 前記拡散バリア材料は、耐エッチング性であることを特徴とする上記(17)に記載の電気デバイス。

(20) 前記導電プラグは、1種類以上のバリア材料で完全に充填されていることを特徴とする上記(1)に記載の電気デバイス。

(21) 上記(1)に記載の構造を有するコンデンサにおいて、前記第2の誘電体の平面の輪郭が、充填された円形、長円形、正方形、長方形、十字形のうちの1つの形状であることを特徴とするコンデンサ。

(22) 上記(1)に記載の構造を有するDRAM用の容量性メモリ素子。

(23) 上記(1)に記載の構造を有するNVRAMまたはFRAM用の容量性メモリ素子。

15

(24) 複数の容量性メモリ素子、または複数の強誘電体メモリ素子を有し、前記素子の各々が、上記(1)記載の構造を有することを特徴とする半導体デバイス。

(25) 複合スタック電極構造を作製する方法において、

a) 第1の誘電体材料よりなる層(この層中に導電プラグを有する)を備える基板上に、積層スタックをブランケット付着させる工程を含み、前記積層スタックは、複数の水平層を有し、前記積層スタックの底部層は導電性であり、前記積層スタックの残りの層は、導電性あるいは非導電性としてすることができ、

b) 前記積層スタックを異方性エッチングして、前記複合スタック電極のほぼ垂直壁のパターニングされた基盤を形成する工程を含み、前記基盤は、前記導電プラグの直上に電氣的に接触して実質的に存在し、

c) 露出された前記基板およびパターニングされたスタック電極基盤上に、導電材料の薄いコンフォーマル層をブランケット付着する工程と、

d) 前記導電材料のコンフォーマル層を異方性エッチングして、前記基盤を取り囲む導電側壁スペーサを形成する工程とを含む、ことを特徴とする複合スタック電極の作製方法。

(26) 複合スタック電極構造を作製する方法において、

a) 第1の誘電体材料よりなる層(この層中に導電プラグを有する)を備える基板上に、積層スタックをブランケット付着させる工程を含み、前記積層スタックは、複数の水平層を有し、前記積層スタックの底部層は導電性であり、前記積層スタックの残りの層は、導電性あるいは非導電性であり、

b) 前記積層スタックの底部層以外のすべてをエッチングして、前記複合スタック電極のほぼ垂直壁のパターニングされた基盤を形成する工程を含み、前記基盤は、前記導電プラグの直上に電氣的に接触して実質的に存在し、

c) 前記複合スタック電極の露出した前記底部層を除去するために、ブランケット・スパッタ・エッチングし、同時に、前記スパッタされた材料の再付着から、前記パターニングされたスタック電極基盤の側部を取り囲んで導電側壁スペーサを形成する工程を含む、ことを特徴とする複合スタック電極の作製方法。

(27) 自己整合複合スタック電極構造を作製する方法において、

a) 誘電体内に埋め込まれたバイア・ホールを、プラグ材料とスタック電極基盤の層とによって充填し、前記層の各々は、好ましくは、コンフォーマルに付着されて、残りのバイア・ホールを充填し、化学機械研磨によって研磨除去して、前記バイア・ホールの頂部で充填レベルを作成し、制御可能にエッチバックして、次の層のために前記バイア・ホール内に余地を残す工程と、

16

b) 前記誘電体をリセスして、前記スタック電極基盤を露出させる工程と、

c) リセスされた前記誘電体およびパターニングされたスタック電極基盤上に、導電材料の薄いコンフォーマル層をブランケット付着する工程と、

d) 前記導電材料のコンフォーマル層を異方性エッチングして、前記基盤を取り囲む導電側壁スペーサを形成する工程と、

e) 露出された充填材料を任意に除去する工程と、を含むことを特徴とする自己整合複合スタック電極の作製方法。

(28) 前記電極構造上に、第2の誘電体材料の層をブランケット付着する工程と、前記第2の誘電体材料上に、導電材料の層をブランケット付着して、頂部電極を形成する工程と、をさらに含むことを特徴とする上記(25)に記載の方法。

(29) 前記電極構造上に、第2の誘電体材料の層をブランケット付着する工程と、前記第2の誘電体材料上に、導電材料の層をブランケット付着して、頂部電極を形成する工程と、をさらに含むことを特徴とする上記(26)に記載の方法。

(30) 前記電極構造上に、第2の誘電体材料の層をブランケット付着する工程と、前記第2の誘電体材料上に、導電材料の層をブランケット付着して、頂部電極を形成する工程と、をさらに含むことを特徴とする上記(27)に記載の方法。

(31) 前記導電側壁スペーサ上に、第2の誘電体材料の層を付着する工程と、前記第2の誘電体材料上に、導電材料の層を付着して、前記スタック電極から絶縁された頂部電極を形成する工程と、をさらに含むことを特徴とする上記(25)に記載の方法。

(32) 前記導電側壁スペーサ上に、第2の誘電体材料の層を付着する工程と、前記第2の誘電体材料上に、導電材料の層を付着して、前記スタック電極から絶縁された頂部電極を形成する工程と、をさらに含むことを特徴とする上記(26)に記載の方法。

(33) 前記導電側壁スペーサ上に、第2の誘電体材料の層を付着する工程と、前記第2の誘電体材料上に、導電材料の層を付着して、前記スタック電極から絶縁された頂部電極を形成する工程と、をさらに含むことを特徴とする上記(27)に記載の方法。

【図面の簡単な説明】

【図1】図1(a)は、本発明の多層スタック電極構造の一実施例の断面図であり、図1(b)は、追加の誘電体層キャップを有する同一実施例の断面図である。

【図2】導電側壁を有する、本発明の多層スタック電極構造の他の実施例の断面図である。

【図3】図2の構造を形成する方法における中間工程の断面図である。

【図4】図1(a)の構造を形成する他の方法における

17

中間工程の断面図である。

【図5】単一の間層を有する、本発明の多層スタック電極の他の実施例の断面図である。

【図6】導電性の厚い底部を有する、本発明の多層スタック電極の他の実施例の断面図である。

【図7】図1の構造の自己整合変形例を示す図である。

【図8】本発明の多層カップ状スタック電極の一実施例の断面図である。

【図9】本発明の多層カップ状スタック電極の一実施例の断面図である。

【図10】本発明の多層カップ状スタック電極の一実施例の断面図である。

【図11】本発明のスタック電極を有するコンデンサの断面図である。

【図12】図8～図10のカップ状電極の作製方法における1つの工程の断面図である。

【図13】図8～図10のカップ状電極の作製方法における1つの工程の断面図である。

【図14】図8～図10のカップ状電極の作製方法における1つの工程の断面図である。

【図15】図8～図10のカップ状電極の作製方法における1つの工程の断面図である。

【図16】図8～図10のカップ状電極を作製する他の方法における第1の工程の断面図である。

【図17】図8～図10のカップ状電極を作製する他の方法における第2の工程の断面図である。

10

20

*

18

*【図18】本発明の電極デバイスの一実施例の断面図である。

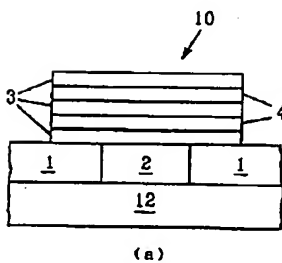
【図19】本発明のスタック電極の輪郭の平面図である。

【図20】本発明のスタック電極の輪郭の平面図である。

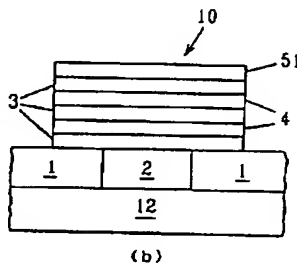
【符号の説明】

- 1 誘電体層
- 2 埋込み導電プラグ
- 3 P t
- 4 P d
- 5 導電または非導電層
- 51 キャップ層
- 6 導電側壁被覆
- 7 導電頂部層
- 8 底部層
- 9 コンデンサ誘電体
- 10 電極
- 12 基板
- 14 コンタクト領域
- 15 単一層
- 16 バリア層
- 20 頂部電極
- 30 コンデンサ
- 40 デバイス

【図1】

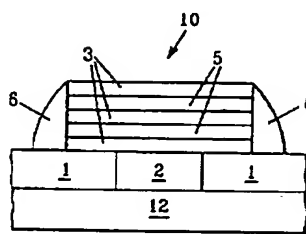


(a)

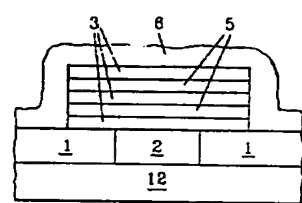


(b)

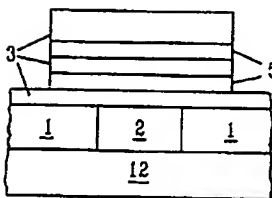
【図2】



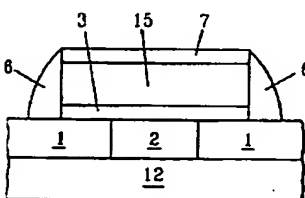
【図3】



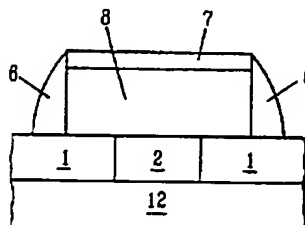
【図4】



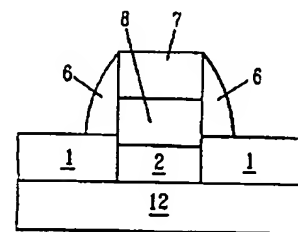
【図5】



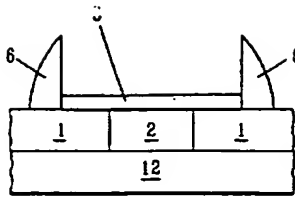
【図6】



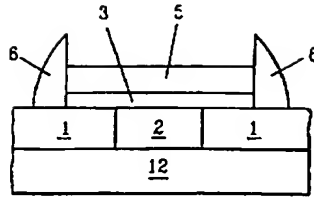
【図7】



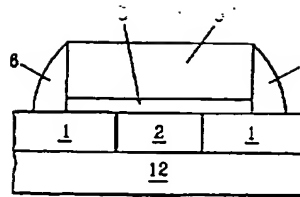
【図 8】



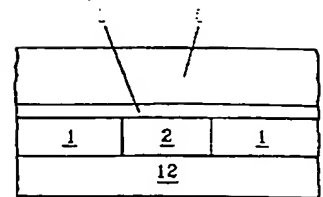
【図 9】



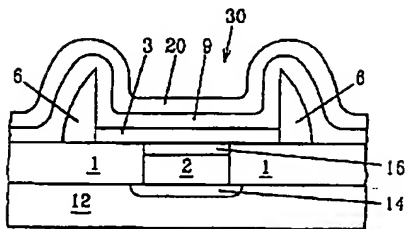
【図 10】



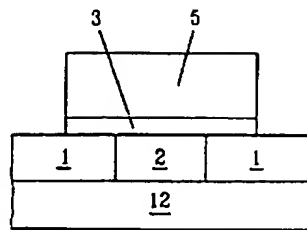
【図 12】



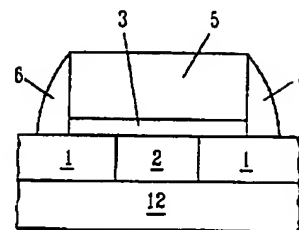
【図 11】



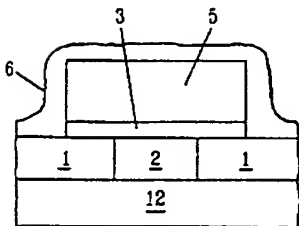
【図 13】



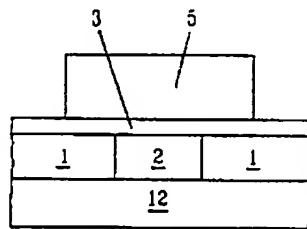
【図 15】



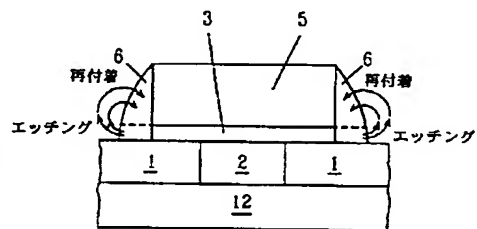
【図 14】



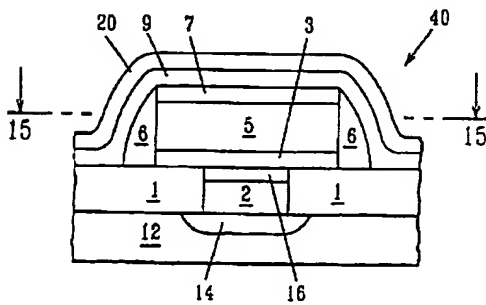
【図 16】



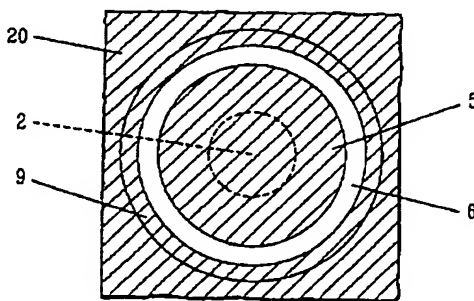
【図 17】



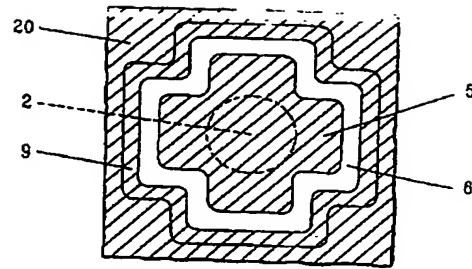
【図 18】



【図 19】



【図 20】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

(72) 発明者 パナヨティス・コンスタンティノウ・アンドリカコス
アメリカ合衆国 10520 ニューヨーク州
クロトニーオンーハドソン シーニック
ドライブ 29エル

(72) 発明者 デヴィッド・エドワード・コテッキ
アメリカ合衆国 12533 ニューヨーク州
ホープウェル ジャンクション シルヴァン
レイク ロード 37

(72) 発明者 キャサリン・リン・センガー
アメリカ合衆国 10562 ニューヨーク州
オッシニング アンダーヒル ロード
115